

实用新案登録願(6)

(1,500円)

昭和年49.3.20日

特許庁長官 清 藤 英 雄 殿



1. 考案の名称

端子部留置装置

2. 考案者

神奈川県川崎市幸区小向東芝町1番地
東京芝浦電気株式会社 小向工場内

大光男 玉置敬

(ほか1名)

3. 実用新案登録出願人

住所 神奈川県川崎市幸区堀川町72番地

名称 (307) 東京芝浦電気株式会社

代表者 玉置敬

特許庁

49.3.22

出願第二課
馬場

4. 代理人

住所 東京都港区芝西久保桜川町2番地 第17森ビル

〒105 電話 03(502)3181(大代表)

氏名 (5847)弁理士 鈴江武彦

(ほか4名)

方式
審査
大山

49 032100



明 紹 書

1. 考案の名称

利得制御装置

2. 実用新案登録請求の範囲

制御信号がソース側から供給される電界効果形トランジスタを被制御信号の伝送路に直列的に介換してなる利得制御装置。

3. 考案の詳細な説明

本考案は電界効果形トランジスタを利用した利得制御装置の改良に関する。

従来、自動利得制御装置（以下単にAGOと記す）の利得制御用能動素子としてはダイオードや通常のトランジスタを用いるのが一般的である。而してかかるAGOにあつてはいずれの素子を用いる場合であつても、利得制御電力が大きく且つ入力信号が大きい場合、出力信号に歪や混変調が生じる欠点があつた。

このため、原理的にはわち抵抗変化特性の直線性がよくしかも広いダイナミックレンジ特性を有することにより利得制御電力が小さく、歪

や温変調を生じることのない電界効果形トランジスタ（以下単に F E T と記す）を利用した第 1 図に示すような A G O が考案されている。すなわちこの A G O は F E T (Q₁) のゲート G に制御電圧を供給し、それによるドレイン D 一ソース S 間の抵抗変化を利用して、ドレイン D に入力抵抗 R₁ を介して印加される入力信号を適宜なレベルに減衰せしめる如くし、該 F E T (Q₁) にいわば並列的に接続される等価負荷抵抗 R_c で表わす次段能動素子に利得を制御した信号を供給するようにしたものである。ここで入力抵抗 R₁ は前記減衰せしめる量を十分にとるために介換されるものである。

しかしながらかかる F E T を利用した A G O にあつては、F E T (Q₁) のインピーダンスが比較的高いにもかかわらず、これにいわば並列的に接続される次段の例えはトランジスタや集積回路 I C 等の入力インピーダンスが低いため、実質的に必要となる入力抵抗 R₁ と等価負荷抵抗 R_c とによつて挿入損失が決定されるようにな

る。従つて前記したように入力抵抗 $R_{\text{タ}}$ は減衰量を十分にとるためにすなわち利得制御の幅を大きくとるために介するものであるから、必然的に大きな値とされるので、插入損失が増大する欠点があつた。

そこで本考案は上記の欠点を除去した極めて良好な自動利得制御装置を提供することを目的とするものである。

以下図面を参照して本考案の一実施例につき詳細に説明する。

すなわち第2図において IN_{11} は被制御信号が印加される入力端であり、この入力端 IN_{11} は結合コンデンサ C_{11} を介して FET (Q_{11}) のドレイン D に接続される。そしてこの FET (Q_{11}) は、そのゲート G が抵抗 R_{11} を介してバイアス電源 $+B$ に接続されると共に抵抗 R_{12} を介して接地され、またそのソース S が抵抗 R_{13} を介して接地されると共に抵抗 R_{14} および LC フィルタ F_{11} を介して制御信号入力端 $V_{A \text{cc}}$ に接続され且つ結合コンデンサ C_{12} を介してそれ

それ一端が接地された出力抵抗 R_o と次段の等価負荷抵抗 R_L の各他端および出力端 OUT_{11} に共通に接続される。

而して以上のように構成される FET を利用した AGC は入力端 IN_1 に供給される制御信号を、分割抵抗 R_{11} 、 R_{12} によって任意な値でバイアス電源 $+V_B$ からの固定ゲート G 電位が与えられると共に、制御信号入力端 V_{AGC} からの制御信号を抵抗 R_{13} 、 R_{14} によって任意な値にしかも可変的にソース S 電位が与えられるこことによって、そのドレイン D ～ソース S 間の抵抗値が変化される FET (Q_{11}) によって適宜なレベルに減衰せしめる如くして、結合コンデンサ C_{12} 、出力抵抗 R_o および次段の等価負荷抵抗 R_L を介して出力端 OUT_{11} に利得制御した出力信号を供給せしめる如く作用するものである。

そして以上のような本考案によればいわば信号の伝送路に沿つて直列的に FET (Q_{11}) を介すると共に、該 FET (Q_{11}) のゲート G に

イアスを固定とし且つソース S 側から制御信号を与えていることによつて、そのドレイン D - ソース S 間で実現される高インピーダンスをそのまま利用し得るため、これだけでも十分な減衰量をとることができるようになり、従来のように入力抵抗を介插せしめる必要がなくなるので、それによる挿入損失の増大を解消し得る。また以上によつて本考案における挿入損失は実質的に出力抵抗 R_o と次段の等価負荷抵抗 R_L との並列合成値によつて決定されるので、次段の等価負荷抵抗 R_L の値に応じて出力抵抗 R_o を適宜調整すればすなわち R_L が小ならば R_o を大に、 R_L が大ならば R_o を小にすれば、 R_L の値によつて挿入損失が変化するようなくなく、略一定にすることができる。さらに本考案によれば前述したように各別の分割抵抗 R_{11}, R_{12} と R_{13}, R_{14} とによつて PBT (Q_{11}) のゲート G およびソース S 電位を任意に設定できることにより、いわゆる AGC のかかる領域を任意に設定できるようになり、特に遅延 AGC

において効果的である。

以上詳述したように本考案によれば従来の挿入損失が大きくなるという欠点を除去し得る他極めて実用的に大となる効果を奏するFETを利用した利得制御装置を提供することができる。

4. 図面の簡単な説明

第1図は従来のFETを利用した利得制御装置を示す回路図、第2図は本考案によるFETを利用した利得制御装置の一実施例を示す回路図である。

I N₁₁ … 被制御信号入力端

O₁₁, O₁₂ … 結合コンデンサ

Q₁₁ … FET

R₁₁, R₁₂, R₁₃, R₁₄ … 分割抵抗

F₁ … LOフィルタ

VAGC…制御信号入力端

R_o … 出力抵抗

R_L … (次段)等価負荷抵抗

出願人代理人弁理士鈴江武彦

図 1 図

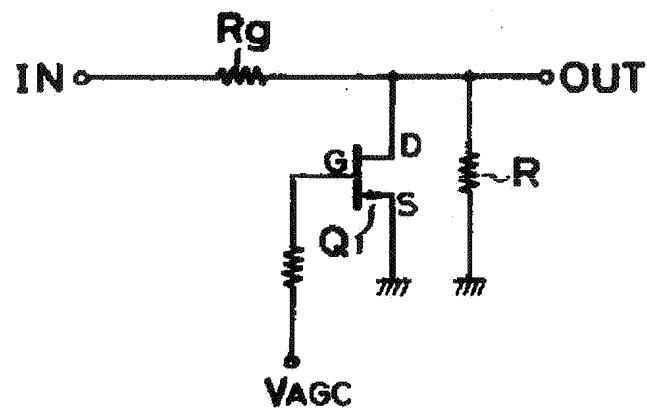
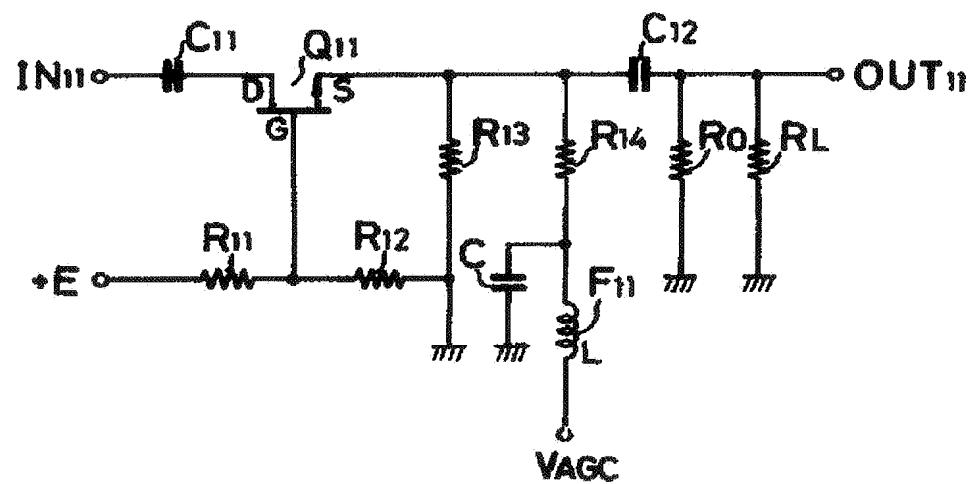


図 2 図



121643

8573X010
740153 1/1

出願人 東京芝浦電気株式会社
代理人 鈴江武彦

A3

5. 添付書類の目録

(1) 委任状	1通	同時提出の旨を新案登録願(1)に添付の委任状を採用する。
(2) 明細書	1通	
(3) 図面	1通	
(4) 願書副本	1通	

6. 前記以外の考案者、実用新案登録出願人または代理人

(1) 考案者

カワチキ レタイワク
神奈川県川崎市幸区小向東芝町1番地
トキヨタケバクタ デンキ
東京芝浦電気株式会社 小向工場内
コ 小 林 健 三

(2) 代理人

住所 東京都港区芝西久保桜川町2番地	第17森ビル	アーバン
氏名 (5743) 弁理士 三木 武雄	三木 武雄	アーバン
住所 同 所		アーバン
氏名 (6694) 弁理士 小宮 幸一	小宮 幸一	アーバン
住所 同 所		アーバン
氏名 (6881) 弁理士 坪井 淳	坪井 淳	アーバン
住所 同 所		アーバン
氏名 (7043) 弁理士 河井 将次	河井 将次	アーバン